

## 情報センシングの研究開発動向

白髭大貴<sup>†</sup>

### 1. まえがき

映像情報メディアのさまざまなシステムにおいて、その入力部にあたるカメラはシステム全体の品質を大きく左右する重要な技術である。カメラを構成する部品の中でも、像情報を時空間サンプリングし電気信号に変換するイメージセンサは、最も重要なデバイスである。現在、イメージセンサは、スマートフォンやデジタルカメラなどの電子機器に広く搭載されているが、車載やセキュリティ、IoTなどへの活用により、その活躍の場がさらに広がりつつある。本稿は、直近約2年間に公開されたイメージセンサに関する論文を対象として、画像情報のセンシング分野における研究開発動向を整理したものである。近年は画素微細化を目的とした新規技術に加え、回路・信号処理と画素構造を密接に連携させた設計や、AI・測距・単一光子検出など新たな応用を意識した技術提案が数多く報告されている。以降、2章ではDeep Neural Network (DNN) 処理や画素A/D変換器(ADC)、電圧保持型グローバルシャッター(Voltage-Domain Global Shutter: VD-GS)などの回路・信号処理技術について述べ、3章では2Layer pixel、光電変換膜、光学構造、PDAF (Phase Detection Auto Focus)を含む画素・光学構造技術を概観する。さらに、4章ではiToF (Indirect Time-of-Flight) センサ、5章では近年特に活発な研究が進むSPAD (Single Photon Avalanche Diode) イメージセンサについて、それぞれ最新の研究動向を紹介する。

### 2. 回路・信号処理技術

近年のCMOSイメージセンサ(CIS)では、微細化や高解像度化といった従来の撮像性能向上に加え、取得した光情報をどのように選択・保持・処理するかという観点から、回路および信号処理技術の重要性が一層高まっている。特に3次元積層技術の進展により、画素近傍への回路集積やオンセンサ処理が現実的となり、イメージセンサは単なる

撮像デバイスにとどまらず、情報を効率的に抽出するセンシングデバイスとしての役割を拡張しつつある。このような流れの中で、センサ内部で認識処理を実行するDNN統合技術、画素あるいはブロック単位で信号取得を制御するA/D変換アーキテクチャ、同一時刻の光情報取得を可能とするグローバルシャッター技術など、回路・信号処理に関わる多様なアプローチが報告されている。本章では、これらの観点から最近の研究動向を概観し、DNN (2.1節)、画素ADC (2.2節)、およびVD-GS (2.3節)について紹介する。

#### 2.1 DNN

近年、画像認識処理をエッジ側で完結させる目的で、DNNをイメージセンサに統合する研究が活発化している。クラウド処理に依存しない低遅延・低消費電力・高セキュリティな画像認識を実現するため、センサ構造、回路アーキテクチャ、およびDNNモデル設計を一体で最適化するアプローチが注目されている。この流れの中で、イメージセンサ内部で物体検出や追跡などの推論処理を実行し、画像そのものではなく認識結果(メタデータ)のみを出力するAI内蔵イメージセンサが実用化されつつあり、DNN統合は研究段階から実装・製品段階へと移行し始めている<sup>1)</sup>。

Ekiら(SSS:ソニーセミコンダクタソリューションズ)は、高解像度CISにAI処理を組み込んだIntelligent Vision Sensorを提案し、撮像データをセンサ内で直接認識処理することで、出力データ量を大幅に削減できることを示した<sup>2)</sup>。特に、対数量子化を用いた低ビット量子化技術により、4bit量子化であっても高い認識精度を維持しつつ、メモリー制約の厳しいエッジ環境においてYOLO系モデルの動作が可能であることを実証している。また、Event-based Vision Sensor (EVS)を用いた検討では、低照度環境において従来のRGBセンサより高い検出性能が得られることが示され、センサ構造とDNN処理を一体で設計するアプローチの有効性が示唆された。

一方、DNN回路をCISに本格的に統合するための回路・実装技術として、3層積層構造を用いた高解像度センサも報告されている<sup>3)</sup>。Nakamuraら(SSS)は、画素アレイ、CISロジック、DNN回路をそれぞれ独立したウエハに配置した3層積層CISを提案し、50メガピクセルの高解像度お

<sup>†</sup> キヤノン株式会社/東北大学

"Information Sensing" by Daiki Shirahige (Canon Inc., Kanagawa/Tohoku University, Sendai)

よびHDR (High Dynamic Range) 機能を維持しながら、電力効率1.33 TOPS/WのエッジAI処理を単一チップで実現した。DNN回路を最下層に分離配置することで、撮像性能への影響や発熱の問題を抑制しており、高解像度CISとDNNの両立に向けた一つの実装指針を示している。

さらに、常時動作を前提とした低消費電力DNN統合センサの研究も進展している。近年は、認識に必要な情報のみを扱うことで消費電力を抑えることを目的として、画像そのものではなく有効な特徴量をセンサ内部で抽出し軽量DNNに入力する構成も報告されている<sup>4)</sup>。このような方向性の具体的な実装例として、Satoら (SSS) は、0.8 $\mu$ m画素・32メガピクセルの高解像度撮像と、2.67 mW@10fpsの低消費電力Always-on物体認識を両立したCISを報告した<sup>5)</sup>。画素アレイ内で風車状 (Windmill-pattern) に配置した画素ペアを用いたアナログエッジ抽出と、小規模オンチップDNNを組み合わせることで、照度変動に強い1 bitエッジ情報による高効率な認識を実現している。本方式は、高解像度撮像と低電力AIセンシングを単一センサで統合するアプローチとして注目される。

これらの研究は、DNNを外部プロセッサで実行する処理からセンサ機能の一部として再定義する流れを示している。実際に、推論処理をセンサ内部で実行し認識結果のみを出力するAI内蔵イメージセンサの実用化が進みつつあり、イメージセンサは単なる撮像デバイスから視覚情報処理デバイスへと役割を拡張しつつある。今後は用途に応じたDNN規模・量子化方式・センサ構造の最適化に加え、通信量削減、低遅延動作、およびプライバシー保護を含めたシステム全体での設計が、情報センシング分野における重要な設計指針になると考えられる。

## 2.2 画素ADC

近年のイメージセンサでは、高ダイナミックレンジ化や低ノイズ化に加え、高速化・低消費電力化を同時に満たすため、画素近傍でのA/D変換 (画素ADC) を核としたアーキテクチャが再び注目されている。とくに3次元積層技術の進展により、画素ADCやブロックADCを実用的な画素サイズで実装可能となり、従来はトレードオフにあった解像度、フレームレート、電力効率の同時最適化が進みつつある。

この流れの中で、画面内を複数のブロックに分割し、ブロックごとに露光時間や読み出し条件を制御する技術が提案されてきた。例えば、ISSCC 2021では、画素アレイをブロック単位に分割し、各ブロックの露光時間を独立に制御することで、coded exposureに基づく計算撮像や適応的ダイナミックレンジ制御を可能とする高速積層型CISが報告されている<sup>6)</sup>。また、IISW 2025では、被写体の輝度や動きに応じて、解像度・フレームレート・露光時間をエリア単位で切り替えるシーン適応型イメージング技術を提案し、近年では4 $\times$ 4画素といった微細なブロック単位への展開も含め、画質改善とデータレート抑制の両立を示している<sup>7)8)</sup>。これらの研究は、主として撮像条件 (露光時間、

フレームレート、解像度) をブロック単位で制御することで、画質やダイナミックレンジを改善することを目的としてきた。一方で、取得すべき画素自体を積極的に選別し、読み出しやA/D変換を含む回路動作そのものを抑制するという観点も、これまで限定的であった。

認識・追跡などの上位アルゴリズムによって画素の選択が規定され、それに基づいて撮像対象を限定するというアルゴリズム主導のスパース撮像に基づき、Berkovichら (Meta) は、ブロック単位ADCと細粒度の電源遮断機構を備えた3次元積層2メガピクセルグローバルシャッタセンサを報告した。行・列・ブロックレベルでの電源制御により、任意形状のスパース撮像を可能とし、小領域ROI (Region of Interest) 撮像時にはフレームエネルギーおよび読み出しレイテンシを7倍以上削減できることを示している<sup>9)</sup>。本研究は、ADCを単なる高速並列化のための回路要素としてではなく、必要な画素ブロックのみを変換・有効化するための制御単位として活用した点に特徴があり、アルゴリズムとセンサ回路の協調最適化という新しい設計指針を提示している。

以上のように、ブロックADCを用いた研究では、撮像条件や回路動作をエリア単位で制御することにより、画質・電力・レイテンシの最適化が図られてきた。これに対し、A/D変換機能を画素レベルにまで分散配置し、各画素での信号取得・量子化・保持を行う画素ADC型アーキテクチャは、グローバルシャッタ化、高ダイナミックレンジ化、および低ノイズ化を同時に実現するための基盤技術として、早くから研究が進められてきた。その代表的な画素ADC型アーキテクチャの先行研究として、画素内にLOFIC (Lateral Overflow Integration)、単一スロープ型ADC、およびデジタルメモリーを集積した積層型CISがVLSI2016より報告されている<sup>10)</sup>。画素ごとにA/D変換とデジタル信号保持を行うことで、露光と読み出しを完全に並列化し、ほぼ100%の時間開口率を有するデッドタイムフリーなグローバルシャッタ動作と、LOFICによる広ダイナミックレンジ化を両立している。このような画素ADC型センサは、後年の高解像度・高性能Digital Pixel Sensor (DPS) や画素並列ADCアーキテクチャの技術的基盤を形成したと位置づけられる。

画素並列ADCを大規模高解像度センサへ拡張した例として、Kainumaら (SSS) は、25.2メガピクセル、120fpsの単露光グローバルシャッタCISを報告した<sup>11)</sup>。全画素にシングルスロープ型ADCを配置した完全画素並列構成を3次元積層で実装し、ランダムノイズ2.66e<sup>-</sup> rms、消費電力1.545 mWを達成している。比較器の低電流動作とノイズ帯域制御により、最先端ローリングシャッタセンサと同等の電力効率を実現しており、画素ADCが民生用高画質カメラにおいても現実的な選択肢となり得ることを示した点で意義が大きい。

こうした画素ADC型アーキテクチャを前提としたセンサの展開として、Tsaiら (Meta) による3層積層DPSが挙

げられる<sup>12)</sup>。本研究では、Time-To-SaturationとリニアADCを単一フレーム内で組み合わせるTriple-Quantization方式を発展させ、 $3.24\ \mu\text{m}$ という微細画素において単一露光117 dBのダイナミックレンジを達成している。さらに、フレームアベレーシングによる固定パターンノイズ補正やスパース読み出し機能をオンセンサで統合することで、AR/VR向けトラッキング用途に適した低消費電力・小型化を実現しており、画素ADCを基盤とした機能統合型センサの方向性を示している。

同様にDPSの微細化と高性能化を追求した例として、Seoら(Samsung)は、画素並列ADCと画素内メモリーを備えたDPSを3層積層構造で実装し、 $2.988\ \mu\text{m}$ という微細画素ピッチにおいて、グローバルシャッター動作で $1.22\text{e-rms}$ の低ランダムノイズと110 dBのHDRを実現した<sup>13)</sup>。スプリットPD(Photodiode)構造とオンチップHDR合成により単一露光HDRを達成するとともに、ADCのオートゼロ化や帯域制限による低ノイズ化により、微細画素化と高画質を両立している。

一方で、本章で主に取り上げてきた画素ADCに対し、従来型の列ADCアーキテクチャを採用したセンサにおいても、低ノイズ化および単一露光HDRという本章の主要な技術課題に対し、有効なアプローチが報告されている。その一例として、Keelら(Samsung)は、列並列ADC構成を用い、単一露光HDRと低ノイズ化を目的とした高度な読み出し・信号処理技術を提案している<sup>14)</sup>。LOFICと大小二つの感度差を有するサブピクセル構造を組み合わせ、4回読み出しとHDRマージを行うことで137 dBのダイナミックレンジを達成した。さらに、列ADCにおけるオーバーサンプリングと高アナログゲインを組み合わせた読み出し方式により、高温環境下( $T_j\ 85^\circ\text{C}$ )でも $0.55\text{e-}$ という極めて低い読み出しノイズを実現しており、これらの結果は、列並列ADC構成においても、高度な読み出し方式および信号処理技術の導入により、単一露光HDRと低ノイズ化の両立が可能であることを示している。

以上のように、画素ADCは、高速・低電力化の手段にとどまらず、HDR拡張、低ノイズ化、さらにはスパースセンシングやオンセンサ処理との統合を支える基盤技術として進化している。現在はアプリケーションに応じて画素ADC、ブロックADC、列ADCが使い分けられているが、回路技術および積層技術の進展に伴い、A/D変換回路は、これまでのチップADCから列ADCへと配置が画素側へ移ってきた流れの延長として、ブロックADC、さらに画素ADCへと移行していく方向性も示唆される。今後は、回路・信号処理・アルゴリズムを横断した協調設計が、情報センシング分野における重要な研究方向になると考えられる。

### 2.3 VD-GS

電圧保持型グローバルシャッター(VD-GS)は、フォトダイオード(PD)で生成された信号電荷をフローティングディフュージョン(FD)で電圧信号に変換した後、電圧メモリー

に一時的に保持する方式のグローバルシャッターイメージセンサである。信号電荷をPDに隣接したメモリーに電荷信号として保持する電荷保持型グローバルシャッター(Charge-Domain Global Shutter: CD-GS)と比較して、寄生光感度(PLS)を抑制しやすく微細化に適したグローバルシャッター方式である。一方で、電圧メモリーへの保持時にkTCノイズが付加されるため、従来はランダムノイズの増加が課題とされてきた。しかし近年では、電圧保持容量の大容量化や回路・構造設計の工夫により、VD-GSにおいても低ノイズ化が急速に進展している。例えばIEDM 2022での報告では、電圧保持メモリー容量の拡大によってkTCノイズの影響を低減し、 $1.8\ \text{e-rms}$ という低ランダムノイズを達成しており<sup>15)</sup>、これはISSCC 2017(CD-GS)の $1.8\ \text{e-rms}$ <sup>16)</sup>や、IEDM 2018(CD-GS)の $1.85\ \text{e-rms}$ <sup>17)</sup>に匹敵する水準である。

また、このような性能上の進展に加え、VD-GSでは画素・構造設計の観点からも多くの工夫が報告されている。VD-GSの電圧保持メモリーは、MIM(Metal-Insulator-Metal)容量やトレンチ容量を用いて、配線層やPDとは異なる基板に配置する構成が多く提案されている<sup>15) 18) 19)</sup>。このような構成では、PDのレイアウト効率を損なうことなく低ノイズなグローバルシャッター機能を実現できる点に加え、開口率(フィルファクタ)の向上や、Backside Scattering Technology(BST)などの光学構造の導入が容易になる<sup>18) 20)</sup>。このような構成により、ローリングシャッター型イメージセンサの開発で培われてきたPD技術を適用しやすいという点も、VD-GSの大きな利点となっている。このような背景のもと、近年のVD-GS研究では、画素微細化と低ノイズ化の両立に加え、HDR化、近赤外(NIR)感度向上、さらにはローリングシャッターとのハイブリッド化など、多様な方向からのアプローチが報告されている。以下では、 $2.2\ \mu\text{m}$ 級の微細画素におけるHDR対応VD-GS、単一シリコン層による低コストVD-GS、高性能NIR向けVD-GS、およびモバイル用途を想定したハイブリッドシャッター構成という観点から、最近2年間に報告された代表的な4件の研究例を紹介する。

Gaoら(OmniVision)は、2層積層構造を用いた $2.2\ \mu\text{m}$ ピッチのVD-GS CISを報告し、小画素におけるHDR化と低FPN(Fixed Pattern Noise)化の両立を示した<sup>21)</sup>。 $1\times 2$ 共有画素構成と高密度MIMキャパシタにより、画素内に四つのストレージキャパシタを集積し、単一露光でのDual Conversion Gain(DCG)動作を実現している。さらに、サンプリングタイミングの工夫によりサンプル・ホールドスイッチ由来のFPNを抑制し、暗時FPN  $1.2\text{e-}$ を達成した。本成果は、 $2.2\ \mu\text{m}$ クラスの画素においても、VD-GS方式でHDR化と低ノイズ化の両立が可能であることを具体的に示した例といえる。

一方、Malingeら(STMicroelectronics)は、単一シリコン層構成におけるVD-GS画素の微細化に取り組み、 $2.16\ \mu\text{m}$ ピッチのBackside Illumination(BSI)型VD-GSセンサを報告した<sup>22)</sup>。トランジスタ数を6個に削減した簡素な画素構

成と、Capacitive Deep Trench Isolation (CDTI) を用いた高密度キャパシタにより、低コストかつ小型のVD-GS画素を実現している。また、CDTIキャパシタを45°回転配置し、マイクロレンズ下の受光に寄与しにくい画素コーナ部に配置することで光学特性を最適化し、940 nmにおいて23%の量子効率と-90 dBの低寄生光感度を達成しており、NIR用途を見据えた単一シリコン層構成によるVD-GSの有効性を示した。

NIR感度と画質性能の両立という観点では、Kimら(Samsung)が、2.2  $\mu\text{m}$ ピッチの1-layer pixel構成を維持した高性能VD-GSセンサを報告している<sup>23)</sup>。厚膜シリコンPDとBSTによりNIR感度を高めつつ、側壁酸化膜を厚膜化した酸化物充填Full-Depth DTI構造により光学クロストークを抑制し、940 nmにおいて量子効率42%、MTF 58%を同時に達成した。さらに、画素内に高密度3次元MIMキャパシタを導入することで、2.71e-の低Temporal Noiseを実現しており、1-layer構成VD-GSの性能限界を押し広げた例といえる。

また、VD-GSをモバイル用途に展開する試みとして、Shimら(Samsung)は、3層積層構造を用いたハイブリッドシャッタCISを報告した<sup>24)</sup>。本センサは、1.2  $\mu\text{m}$ ピッチ・50メガピクセルのローリングシャッタ動作と、2.4  $\mu\text{m}$ 相当・12.5メガピクセルのVD-GS動作を単一チップで切り替え可能とするものである。中間層に高容量DRAMキャパシタを用いた電圧サンプリング構成により、GS動作時でもFull Well Capacity (FWC) 52Ke-を確保しつつ、ランダムノイズ2.4e-、FPN 1.2e-を達成している。RS (Rolling Shutter) とGSの特長を用途に応じて使い分けるといった設計思想は、VD-GSの新たな応用方向を示すものといえる。

これらの報告から、VD-GS技術は、画素の微細化やNIR高感度化、大容量メモリーを用いた低ノイズ化といった従来からの性能向上に加え、単層構成による低コスト化やローリングシャッタとのハイブリッド化による用途拡張へと研究の方向が広がっていることがわかる。今後も、積層技術や高容量キャパシタ技術と組み合わせることで、VD-GSは多様なセンシング用途に向けてさらなる発展が期待される。

一方で2.2節でも紹介した通り、近年では画素ADCの進展により、グローバルシャッタが達成すべき主目的ではなく、センサが備える基本性能の一つとして自然に内包される例も増えつつある。このような観点から見ると、VD-GSはグローバルシャッタを実現するためのセンサとしての完成度を高めてきたのに対し、画素ADCを基盤とするセンサは、グローバルシャッタを内包するセンサとして、情報取得・処理の在り方そのものを拡張していると位置づけることができる。今後のGSセンサ開発においては、これら二つの設計思想の違いを踏まえた役割分担や適用領域の整理が、重要な論点になると考えられる。

### 3. 画素・光学構造技術

撮像素子の高解像度化および画素微細化の進展に伴い、従来のシリコンPDを中心とした平面的な画素構成のみでは、感度、ノイズ、クロストーク、および機能画素特性の維持が次第に困難になりつつある。このため近年は、回路技術による信号処理の高度化に加え、受光部の構造、材料、および光学設計を見直すことで撮像性能を確保・拡張するアプローチが検討されている。具体的には、受光部とトランジスタを立体的に分離して画素内の面積制約を緩和する画素構造、シリコンの波長応答限界や低照度特性を補完する新規光電変換材料、回折や斜入射光の影響を考慮した微細光学構造設計、および高精度なAFを実現するための位相差検出画素技術など、多様な方向からの検討が進められている。本章では、これらの観点から最近の研究動向を概観し、2層トランジスタ画素(3.1節)、光電変換膜(3.2節)、光学構造(3.3節)、およびPDAF(3.4節)について紹介する。

#### 3.1 2層トランジスタ画素

近年、CISでは画素微細化により高解像度化や多機能化が進む一方、画素内におけるPDと画素トランジスタの配置制約が顕在化している。PD面積の縮小に伴うFWCの低下や、ソースフォロワ(SF)トランジスタの微細化に起因する1/fノイズおよびランダムテレグラフシグナル(RTS)ノイズの増加は、小画素化における画質劣化の主要因となる。従来は画素共有構造やトランジスタ構造の工夫により対応が図られてきたが、PDと画素トランジスタが同一平面上に配置される限り、受光体積の確保と低ノイズトランジスタの実現を同時に満たすことには本質的な限界がある。

この制約を根本的に緩和する手段として、受光部と画素回路を異なる層に配置する3次元的な画素構造が提案されている。IEDM 2008では、BSI型CISにおいて、光電変換を担うPDと画素トランジスタを異なるシリコン層に配置する画素構造が報告された<sup>25)</sup>。この構成では、受光層と画素回路層を分離することにより、画素面積の制約を受けずに受光体積を確保できるとともに、画素回路側ではトランジスタサイズや特性を独立に最適化でき、FWCの低下やノイズ増加を抑制できることが示された。その後、3D Sequential Processを用いた積層型画素構造がSSSによりIEDM 2021以降に相次いで報告された<sup>26)~29)</sup>。これらの研究では、PD形成層と画素トランジスタ層を分離した画素構造が実デバイスとして実現されており、本稿ではこれを「2層トランジスタ画素」と呼ぶ。この構成により、受光層では十分なPD体積を確保しつつ、回路層ではSFトランジスタのサイズ拡大など低ノイズ化を独立に設計することが可能となり、微細画素においてもFWCとノイズ特性の両立が示されている。2層トランジスタ画素では、光電変換機能と読み出し回路機能を物理的に分離できるため、FWC、変換ゲイン(CG)、ランダムノイズ、HDR特性といった画素性能間のトレードオフを構造的に緩和できる。以下では、3D Sequential Processを用いた代表的な研究例

について、その設計思想と得られた画素特性の観点から概観する。

Mota-Frutuosoら (CEA-Leti) は、3D Sequential Integration (3DSI) 技術を用い、28 nm FDSOI CMOS上にトップ層 CMOSを積層することで、下層に従来型3 Tr (トランジスタ) 画素を保持したまま、上層に画素機能回路を実装する手法を報告した<sup>30)</sup>。本構成では、画素構造を大きく変更することなく、単一露光・フリッカーフリーHDR動作を実現しており、2層化による機能分離の有効性を示している。また、産業用Cu/ULK配線を含むCMOSプロセスとの両立を実証した点は、量産技術への展開という観点からも重要である。

Leeら (Samsung) は、PD層、画素トランジスタ層、回路層を3層に分離した積層構造を用い、0.5  $\mu\text{m}$  画素においてFWC 6,000e<sup>-</sup>を維持したCISを報告した<sup>31)</sup>。DeepコンタクトをFDノードのみに限定することでソースフォロワトランジスタの面積を確保し、RTSノイズを大幅に低減している。一方で、積層構造に伴うFD容量増加に対しては、寄生容量の接続位置最適化とミラー効果の活用により変換利得低下を抑制しており、微細画素世代における2層画素構造の設計指針を示した。

Satakeら (SSS) からは、2層トランジスタ画素積層構造を用いた0.8  $\mu\text{m}$  Dual Pixelセンサが報告された<sup>32)</sup>。Intermediate Poly-Si Wiringを導入することで、Deepコンタクトによるレイアウト制約を緩和し、画素トランジスタの有効チャネル幅拡大によるノイズ低減を実現している。さらに、Vertical Transfer Gate (VTG) と不純物プロファイルの最適化により、0.8  $\mu\text{m}$  画素ながら8,500e<sup>-</sup>のFWCを達成した。加えて、4画素で一つのオンチップレンズを共有する2×2 OCL (オンチップマイクロレンズ) 構造を採用した0.8  $\mu\text{m}$  画素との比較においても量子効率およびAF特性が同等であることを示し、画素微細化と高性能化を両立できることを実証した。

ZhanらおよびKanekoら (Huawei) は、画素回路トランジスタを配線工程 (BEOL) 層に配置したモノリシック2層画素構造を提案し、IGZOトランジスタを用いた高DCG画素を報告した<sup>33)</sup>。従来のボンディング型2層構造と比較して配線長を大幅に短縮することで寄生容量を低減し、高い変換利得およびDCG比を実現している。材料選択とアーキテクチャを組み合わせることで、画素微細化とHDR性能の両立を図る新たな方向性を示している。

これらの報告に共通するのは、画素内の物理的制約を2次元レイアウトの工夫のみで解決するのではなく、3次元構造によって受光部と回路部の役割を分離し、容量・ノイズ・機能を独立に最適化する設計思想である。すなわち2層トランジスタ画素は、微細化に伴い顕在化した画素内の面積競合を構造的に解消するアプローチであり、ノイズ低減、FWC維持、HDR機能拡張を同時に成立させる基盤技術として、高機能CISにおいて重要性が高まりつつある。

また、2層トランジスタ画素における重要な設計要素と

して、PD基板と画素トランジスタ基板の接続構造が挙げられる。Deepコンタクトを用いた構成では、画素トランジスタ基板のDeepコンタクト周囲に絶縁領域を設ける必要があり、画素トランジスタを配置可能な領域が制約されるという課題がある。従来は、FD配線や転送ゲート駆動配線をDeepコンタクトにより上下基板間で接続していたため、これらDeepコンタクトのための絶縁領域が画素トランジスタ基板の面積効率を低下させていた。この課題に対して、FD配線の共有化<sup>27) 28)</sup>や、転送ゲートの駆動配線をPD基板側に配置し、FD配線のみをDeepコンタクトで接続する構成<sup>31)</sup>などが提案され、画素トランジスタ基板をより広く活用できるよう工夫がなされてきた。近年ではさらに、Deepコンタクトを用いずにPD基板と画素トランジスタ基板をFace-to-FaceでCu-Cu接合した構造も報告されており<sup>34) 35)</sup>、画素トランジスタ基板の面積効率を一層高める方向へと技術が進展している。

加えて、本技術は単一光子感度と高速応答を特徴とするSPAD画素にも適用され、画素フロントエンド回路を上層に配置することによりカソード容量の低減が可能となり、デッドタイムの短縮が報告されている<sup>36)</sup>。これらの結果は、2層トランジスタ画素が従来型CISにとどまらず、SPADセンサへも展開可能なプラットフォーム技術であることを示唆する。2層トランジスタ画素技術を適用したSPADセンサの詳細については、第5章SPADセンサで述べる。

### 3.2 光電変換膜

近年、イメージセンサの高感度化・波長拡張に向けて、シリコンPDに代わる新規光電変換膜材料を用いた研究が活発化している。とくに、低温プロセスや大面積形成が可能な有機材料やコロイダル量子ドット (QD) を用いた受光膜は、CMOS回路とのモノリシック集積や新たな応用展開の観点から注目を集めている。最近では、Image Sensors Europe 2025において、有機光電変換膜を用いた短波赤外 (SWIR) イメージセンサの報告がなされるなど<sup>37)</sup>、有機材料の適用波長域が可視域やNIR域にとどまらず、短波赤外域 (SWIR) にまで拡張しつつあることが示されている。また、ペロブスカイト材料を用いた光電変換膜に関する研究も進展しており<sup>38)</sup>、垂直積層構造による新しいカラーイメージング手法や高効率受光構造の提案が相次いでいる。このように、光電変換膜材料の多様化と機能拡張が進む中で、本節では、ここ2年間に報告された有機材料および量子ドットを用いた光電変換膜イメージセンサ技術について、代表的な研究例を中心に紹介する。

可視域においては、有機フォトダイオード (OPD) を用いた超低照度イメージングの報告がなされている。ShanおよびLiら (Shanghai Jiao Tong Univ.) は、ホール輸送層 (HTL) を用いない通常構造OPDとa-Si TFTバックプレーンを垂直集積したアクティブマトリクス型有機イメージャを提案した<sup>39)</sup>。自己組織化単分子膜 (SAM) による電極界面制御と、逐次成膜による準平面ヘテロ接合構造を組み合わせることで、暗電流密度を $2.22 \times 10^{-10}$  A/cm<sup>2</sup>まで低減し、

4 nW/cm<sup>2</sup>という極めて低い照度での撮像を実証している。有機光電変換膜の界面設計により高感度化と安定動作を両立した点は、レンズレス検査やバイオセンシングなどへの応用可能性を示す成果といえる。

一方、NIRからSWIR領域に向けては、コロイダル量子ドットを用いた薄膜型光電変換膜の研究が進展している。Enokiら (SSS) は、鉛フリー材料であるInAs量子ドットを受光層として用い、スピンコートによりSi製ROIC (Readout Integrated Circuit) 上へ直接形成した赤外イメージセンサを報告した<sup>40)</sup>。本手法は、従来主流であったInGaAsハイブリッド型センサに比べ、プロセス簡素化と微細画素化に適した構成を特徴とする。940 nm帯でEQE (External Quantum Efficiency) 約40%を達成するとともに、1450 nm帯でのSWIR感度も実証しており、PbS量子ドットに代わる民生用途向け鉛フリー赤外光電変換膜としての有望性が示されている。

さらにSWIR領域では、量産性と環境適合性を強く意識した材料・プロセス統合の報告もなされている。Songら (imec) は、鉛フリーのInAs系コロイダル量子ドットを用いたSWIR-PDおよびイメージセンサを提案した<sup>41)</sup>。溶液相リガンド交換による1ステップ成膜プロセスとCMOS互換スタックを採用し、1390 nmにおいてEQE 5.8%、比検出能 $7.4 \times 10^9$  Jonesを達成するとともに、 $768 \times 512$ 画素、5  $\mu\text{m}$ ピッチのSWIR撮像を実証している。本成果は、Pb系Colloidal Quantum Dot (CQD) に依存しない第2世代SWIR光電変換膜技術として、低コスト赤外イメージセンサ実現に向けた重要な指針を与えるものである。

以上のように、ここ2年間では、有機材料や量子ドットを用いた光電変換膜技術において、高感度化、波長拡張、CMOS互換プロセス、環境規制対応を同時に指向した研究が進展している。これらの成果は、従来のシリコンPDでは困難であった超低照度可視イメージングや、低コストSWIRセンシングへの展開を可能にする基盤技術として、今後の発展が期待される。

### 3.3 光学構造

画素微細化が可視光の波長スケールに近づくにつれ、従来のOCLおよび吸収型カラーフィルタに基づく光学設計では、感度低下や光学クロストーク増大、色再現性劣化といった課題が顕在化している。特に、画素サイズが1  $\mu\text{m}$ 前後以下に縮小すると、OCL開口からの回折が支配的となり、幾何光学的近似のみでは十分な集光特性を維持できなくなることが指摘されている。Huoらは、電磁場解析に基づき、サブ2  $\mu\text{m}$ 画素におけるOCL性能を体系的に評価し、画素微細化に伴いOCL単体では十分な集光効率や隣接画素への光分離を維持できなくなることを明らかにした<sup>42)</sup>。この結果は、従来のOCLに依存した光学設計が、波動光学的な限界に直面していることを示している。

こうした背景のもと、近年では回折や位相制御といった波動光学的効果を積極的に活用し、画素微細化下でも光利用効率や画質を維持・向上させる新たな光学構造の研究が

進められている。特に、サブ波長スケールの構造による分光制御や光ルーティングを可能とするメタサーフェス技術は、従来のOCLやカラーフィルタでは困難であった機能を実現する有力なアプローチとして注目されている。

Kangら (imec) は、従来の吸収型カラーフィルタに代えて、垂直導波路内の対称・反対称モード干渉を利用したサブ回折限界カラスプリッタを提案した<sup>43)</sup>。回折に依存しない色分離原理を用いることで、サブミクロン画素内での色分離を実現するとともに、人間の錐体感度に整合した分光設計によりVora値95%以上の高い色再現性を実証している。BEOL互換プロセスによる300 mmウェハ実装が可能であり、画素微細化世代におけるSNRおよび色品質の両立に向けた新たな光学的アプローチとして注目される。

一方、光の集光効率向上による感度改善を狙った研究として、Wangら (VisEra Technologies) は、0.8  $\mu\text{m}$ 画素CISに二層構造のナノライトピラー (NLP) を導入し、位相制御によって有効受光効率を拡張する手法を報告している<sup>44)</sup>。従来のマイクロレンズ構造と比較して、青画素で40%、緑画素で16%の量子効率向上を達成するとともに、低照度条件においてSNR 1.16 dB改善を、色再現性や空間分解能を維持したまま実証した。微細画素における感度低下への実用的な補償技術として有望である。

さらに、Choiら (Samsung) は、サブ波長ナノ構造からなるNano-prism (NP) と呼ばれるメタフォトンクス構造を、0.64  $\mu\text{m}$ 画素CISに適用し、波長依存の光ルーティングによる高感度化を報告している<sup>45)</sup>。NP構造により隣接画素からの有効光も取り込むことで、RGB感度が最大25%向上し、SNRも1.2 dB改善した。加えて、高い斜入射光条件下でもCRA (Chief Ray Angle) 特性、オートフォーカス性能、解像度を従来のマイクロレンズと同等レベルで維持しており、製品レベルCISへの適用可能性を示している。

また、超広角CISにおける位相差AF性能の劣化に対して、Hongら (Samsung) は、サブ波長ナノポストによる位相制御を用いたメタサーフェス・マイクロレンズを提案した<sup>46)</sup>。画素位置および波長ごとに最適化した位相分布設計により、0.5  $\mu\text{m}$ 画素の超広角センサにおいて、センサ周辺部でのオートフォーカスコントラスト比を35%向上させるとともに、色チャンネル間差を約40%低減している。従来の球面マイクロレンズでは困難であった高CRA条件下での均一なAF性能を、量産適用可能な平坦プロセスで実現した点が特徴である。

以上のように、近年の光学構造技術は、従来の幾何光学的設計から、波動光学に基づく位相・分光制御へと発展してきている。回折や位相制御を積極的に活用した新規光学素子は、画素微細化が進む次世代CISにおける感度、色再現性、オートフォーカス性能の同時向上に寄与する重要な技術要素となりつつある。また、このような研究動向は学術的検討にとどまらず、商用イメージセンサ製品にも反映され始めている点は注目に値する。実際に、最近発表されたモバイル向けCISの一例では、メタフォトンクスの概念

に基づく微細な光学構造を画素内部に導入することで、従来のマイクロレンズ構造と比較して光損失の低減が図られ、同一画素仕様下において感度が約25%向上したことが報告されている<sup>47)</sup>。

### 3.4 PDAF

画素の微細化・高解像度化が進む中で、像面位相差オートフォーカス (PDAF) は高速かつ高精度なAF性能を実現する基盤技術として重要性を増している。特にモバイル向けの超高画素化や超広角レンズの普及に伴う高入射角化により、画素サイズ縮小下でも安定して位相差情報を取得できる画素構造・光学設計が求められている。このため近年は、位相差検出の方向依存性の克服や全画素PDAF対応に加え、微細画素化や斜入射条件に対応したAF信号確保に関する検討が活発に行われている。

Shirahigeら (キヤノン) は、被写体のパターンに依存しないクロスAFを実現するため、Twisted Photodiode構造を用いたクロスデュアルPD画素を提案した<sup>48)</sup>。本構造では、画素表面側と裏面側でPD分割方向を90度回転させることで、水平方向・垂直方向の両方に対する位相差検出を可能としている。さらに水平画素・垂直画素で画素表面側のレイアウトを揃えることで構造の差異に起因する特性差を回避し、全画素・全方向で均一なPDAF特性を実現した。また、高い飽和電荷量確保と低照度AF性能改善も報告されており、高速・高精度のAFを実現する全方向PDAF技術の一手法として位置づけられる。

Kimら (Samsung) は、0.5 $\mu\text{m}$ ピッチという微細画素において全画素PDAFを可能とするQuad Photodiode (Q-cell) 構造を採用した50メガピクセルCISを報告した<sup>49)</sup>。Front Deep-Trench Isolation (FDTI) を用いながらも、Q-cellの中央クロス部にはFDTIを形成しない構造とすることでFD共有の簡素化およびCGの向上を図り、Dual VTG構造によりFWCと良好な電荷転送特性を両立している。また、低損失FDTI構造および高屈折率材料を用いた光学設計により感度向上が報告されており、これらの特性改善は、感度低下が課題となる微細画素世代において、構造および光学設計の工夫により低照度環境でのPDAF性能向上を図る方向性を示すものといえる。

Satakeら (SSS) は、2層トランジスタ画素構造を用いた0.8 $\mu\text{m}$  Dual Pixel CISを報告しており、本論文はすでに2層トランジスタ画素技術の観点 (3.1節) でも紹介したが、PDAF性能確保の観点でも重要な成果である<sup>32)</sup>。Dual Pixel方式では受光領域分割に伴う感度低下やクロストークが課題となるが、本研究ではFull Trench Isolationによる光学クロストーク抑制と2層トランジスタ画素構造による微細化を両立し、角度応答特性においても良好な位相差検出性能を示している。微細PDAF画素の実用性を示した報告として位置づけられる。

一方、PDAF性能は画素構造だけでなく光学系にも強く依存する。Choiら (Samsung) は、メタフォトンクス構造であるナノプリズムを画素上に適用したセンサを報告して

おり、本論文は光学構造技術 (3.3節) でも紹介したが、斜入射条件下でのPDAF信号維持の観点でも注目される<sup>45)</sup>。波長依存の光ルーティングを活用しつつ、左右PD間の信号コントラストを確保できることを示しており、メタサーフェス導入下でも位相差検出性能が維持可能であることが示された。

さらにHongら (Samsung) は、超広角レンズに起因する大CRA条件下でのPDAFコントラスト低下を改善するため、Adaptive Metasurface Microlens Arrayを提案した<sup>46)</sup>。本論文も光学構造技術 (3.3節) で紹介したが、PDAF用途としては、センサ周辺部でのAFコントラスト比を大きく向上させた点が特徴である。メタサーフェスにより画素位置ごとに集光特性を最適化し、周辺部で約35%のAF信号改善を報告している。光学要素設計自由度を拡張することでPDAF性能を補償するアプローチとして意義が大きい。

以上のように、ここ2年間のPDAF技術動向としては、Twisted PDやQuad PDに代表されるように、位相差信号を安定して取得するための新たな画素分割構造の検討が進められていることが挙げられる。すなわち、被写体パターンの方向依存性の低減や微細画素化への対応といった課題に対し、複数のPDに分割する方法を再設計するアプローチが重要となっている。一方で、2層トランジスタ画素やメタサーフェス光学構造といった新規の画素・光学技術においても、それらの特性を維持したままPDAFを成立させるための検討が同時に進められている。このように、近年のPDAFは単独機能としての高度化にとどまらず、新しい撮像素子構造に適応させるべき基盤機能として位置づけられているといえる。今後、さらなる画素微細化や光学系の多様化に伴い、各種新構造と両立可能なPDAF実現技術の重要性は一層高まると考えられる。

## 4. iToF センサ

近年、AR/VR、モバイル機器、車載・ロボティクス分野の拡大に伴い、Indirect Time-of-Flight (iToF) 方式を用いた距離イメージセンサの研究開発が活発化している。iToFは高画素化や低消費電力といった利点を有する一方で、画素微細化に伴う近赤外感度低下や角度依存性、多重反射 (MPI) による距離誤差などが精度向上の制約となっている。こうした課題に対応するため、測距性能の向上を目的として、デバイス構造および信号処理の高度化に関する研究が集中的に進められている。本節では、微細画素の高性能化、計測方式の拡張、および撮像機能との統合という異なる観点から進展を示した3件の研究を紹介する。

Leeら (Samsung) からは、微細画素iToFセンサにおける感度・測距精度の限界に正面から取り組んだ報告がなされた<sup>50)</sup>。2.8 $\mu\text{m}$ 画素ピッチの4タップiToFセンサを対象に、SiO<sub>2</sub>グリッド構造や3 $\times$ 3マルチレンズ構成、BSTなどの光学設計と、電界設計・プロセス条件の最適化を組み合わせることで、940 nmにおいて42%という高い量子効率と、100 MHz変調時92%のデモジュレーションコントラストを達

成している。微細画素化と高精度測距の両立を、デバイス・プロセス協調設計により実証した点は、今後の高解像度iToFセンサ設計における重要な指針を与えるものである。

一方、静岡大学のKagawaらは、iToF方式の枠組みを拡張し、多重反射環境への耐性を高める新しい距離計測概念としてPseudo-direct LiDARを提案している<sup>51)</sup>。本研究では、多タップ電荷変調画素による時間圧縮センシングと深層学習を組み合わせることで、iToF構造を維持しながら、dToF (Direct Time-of-Flight) に近い光波形再構成を可能とすることを示した。従来iToFでは困難であったMPI下での距離推定を実験的に実証しており、高画素・低消費電力というiToFの利点を活かしつつ、適用領域を拡張する新たな方向性を提示している。

さらに、Ohkuboら (SSS) からは、iToFをRGB撮像と統合した積層型イメージセンサの報告がなされた<sup>52)</sup>。1.0  $\mu\text{m}$  有機光電変換膜RGB画素を上層に、シリコンの4.0  $\mu\text{m}$  iToF画素を下層に配置することで、可視画像と940 nm帯の距離情報を単一チップで同時取得可能な構成を実現している。RGB画素とiToF画素を同一チップ上に積層配置することで、RGB画像とDepth画像を視差なく同時取得できる点が特徴である。本研究は、iToFを単なる距離センサとしてではなく、次世代カメラシステムの中核機能として統合するアプローチを示すものと位置づけられる。

以上の研究は、iToF技術が主に測距精度・信頼性の向上を軸として発展しつつ、その実現手段が多様化していることを示している。すなわち、微細画素における感度・精度の改善といったデバイスレベルの改良に加え、多重反射環境への対応を目的とした計測方式の拡張、さらには撮像機能との統合によるシステム化など、異なる層でのアプローチが並行して検討されている。今後は、高周波変調対応や低消費電力化とともに、アプリケーションに応じたセンサ構成の最適化が進むことで、iToF距離センシングの適用範囲がさらに広がると考えられる。

## 5. SPAD センサ

近年、Single Photon Avalanche Diode (SPAD) 型イメージセンサは、単一光子検出に基づく低照度イメージングおよびToF測距を可能とするデバイスとして研究開発が急速に進展している。従来は主としてデバイス特性の改善に焦点が当てられてきたが、近年は画素回路や信号処理を含めたセンサ設計、さらには応用システムまでを視野に入れた検討が行われるようになってきている。

デバイスレベルでは、BSI構造や3次元積層技術を背景として、光子検出効率 (PDE/PDP) の向上、タイミングジッタ低減、および微細画素化を同時に追求する研究が報告されている。ドーピング分布やアバランシェ増倍領域設計の最適化により、近赤外域での高感度化や低電圧動作が実現されている。一方、画素および回路技術の面では、大規模SPADアレイの課題であるデッドタイム、背景光誤検出、およびダイナミックレンジ制約に対し、新しい画素構

造や光子カウント方式、空間・時間相関を利用したゲーティング技術などが提案されている。これらはSPADを単なる検出素子から高性能撮像センサへと発展させる上で重要な要素技術となっている。さらに応用面では、dToF LiDARや車載用途を意識した研究が顕著であり、長距離測距や強外光環境下での動作、大規模画素アレイ化、さらにはHDR撮像への展開が報告されている。高ポイントレート測距や単一露光HDR撮像の実証は、SPADが研究段階のデバイスから実用的なセンシングデバイスへ移行しつつあることを示している。本章では、これらの動向を示す代表的な8件の論文について、デバイス構造、画素・回路技術、および応用システムの観点から概観する。

まずデバイス構造に着目した報告として、Park, Leeら (KIST/Yonsei Univ.) は、40 nm積層型CISプロセスを用いたBSI型SPADを報告した<sup>53)</sup>。本デバイスでは、Si層を約4  $\mu\text{m}$ まで薄化し、さらに深さ方向のアバランシェ増倍領域と空乏層の最適化設計により、光生成キャリアのドリフト距離を短縮し時間分解能の向上を図っている。一方、深いN型層によって増倍領域を基板およびバックサイド表面から電気的に隔離し、裏面欠陥に起因するキャリアがアバランシェを誘発することを抑制している。その結果、ブレークダウン電圧15 Vという低電圧動作と、940 nmにおいてタイミングジッタ56ps (半値全幅FWHM) を達成した。またPDPは同波長で21%を維持しており、感度を保ったまま時間分解能を改善している点が特徴である。本報告は、PDPの向上に重点を置いた設計とは異なり、高精度測距に重要となる時間分解能の改善に主眼を置いたSPAD設計の有効性を示す結果といえる。

Parkら (Yonsei Univ.) はさらに、微細画素化に伴う感度低下の課題に取り組み、40 nm CIP技術による3次元積層型BSI SPADにおいて画素ピッチ3.5  $\mu\text{m}$ の実現を報告している<sup>54)</sup>。微細化したSPADでは接合端部への電界集中により有効なアバランシェ増倍領域が縮小し、PDPが低下するが、本研究ではレトログレードDeep N-wellとガードリングのドーピング分布を最適化し、増倍領域およびキャリア収集領域の深さ方向の電界分布を制御した。その結果、940 nmにおいてPDP 37%を達成し、従来構造に対して大幅な感度改善を示した。本成果は、微細化に伴う受光面積減少を3次元的な電界設計により補うアプローチを示したものであり、高解像度SPADアレイ実現に向けた重要な指針と考えられる。

さらに、アバランシェ増倍領域の構成自体に着目した研究として、Kimら (Yonsei Univ.) は、110 nm CIPファウンドリプロセスを用いたBSI型U-Shape p-i-n SPADを報告している<sup>55)</sup>。本デバイスでは、Deep N-WellとBuried P-Wellによる垂直接合に加え、Deep P-Wellとの横方向接合を組み合わせることで、垂直方向と水平方向の2種類のアバランシェ増倍領域を形成している。これにより、浅い領域で吸収される可視光と深部まで到達する近赤外光の双方に対してキャリア増倍が可能となり、Excess Bias (Vex) 1.6 V

において700 nmで73.8%，940 nmで23.4%のPDEを達成した。また低DCR（暗時カウント率）かつ低アフターパルス特性も示している。プロセス改変を伴わずに広帯域で高感度を実現している点が特徴であり，標準CISファウンドリを用いたSPADの実用展開に向けた有効な構造指針を示す結果といえる。

一方，dToF用途を志向した高感度化の取り組みとして，Shimadaら（SSS）は，10  $\mu\text{m}$ ピッチのBSI型SPADセンサを報告した<sup>56)</sup>。本研究では光学構造の最適化に加え，アバランシェ増倍領域およびガードリング周辺のドーピング設計を見直し，シリコン表面側付近で光電変換された信号電荷も適切にアバランシェ増倍領域に収集されるようポテンシャル構造を工夫することで電荷収集効率を向上させている。その結果，940 nmにおいて42.5%というSi型SPADとして世界最高レベルのPDEを達成した。光学的な受光効率向上だけでなく，電界分布制御によるキャリア輸送設計がPDE向上に大きく寄与することを示しており，dToF向けSPADの設計指針を与える成果と位置付けられる。

さらに，時間応答特性の改善に着目した研究として，Ogiら（SSS）は，3.1章で述べた2層トランジスタ画素構造をSPADに適用した5  $\mu\text{m}$ ピッチのSPAD画素を報告した<sup>36)</sup>。従来の3次元積層型SPADでは，SPADカソードと画素フロントエンド（PFE）回路との配線に起因するカソード容量の増加がデッドタイム増大の要因となっていたが，本構造ではSPAD直上にPFE回路を配置することで配線長を短縮し，カソード寄生容量を低減している。その結果，デッドタイムを2.1 nsと従来比約1/3に短縮するとともに，高光量条件下でのPDE低下も抑制した。また画素内カウンタを5 bitから7 bitへ拡張しつつ，DCRやタイミングジッタなどの基本特性を維持しており，微細画素SPADにおける高時間分解能と高機能化の両立を示している。

SPADの応用拡張として，Morimotoら（キヤノン）は，3次元積層構造を用いた1メガピクセルTime-Gated SPADイメージセンサを報告した<sup>57)</sup>。本センサでは，近傍8画素と検出信号を相互参照する2D Interactive Gating Networkを画素内に導入し，空間・時間的に相関した光子のみを検知するCoincidence Detectionを実現している。これにより強い背景光下での誤検出を電氣的に抑制でき，2D撮像，イベント検出，レンジゲート撮像および3D ToF計測を単一センサで動作させることが可能となった。大規模SPADアレイにおいて背景光耐性と多機能センシングを両立するアーキテクチャを示した点の特徴である。

また，車載応用を志向した高ダイナミックレンジ化の研究として，Otaら（キヤノン）は，2/3インチ・2.1メガピクセルSPADイメージセンサを報告した<sup>58)</sup>。本研究では，最初に検出された光子の到来時刻に応じて重み付けを行うWeighted Photon Counting方式を提案し，単一露光でのHDR撮像とLEDフリッカ抑制を同時に実現している。さらに低照度時には重み付けを停止する制御を導入することでSNR低下を防ぎ，156 dBの広ダイナミックレンジを達成

した。SPADの時間情報を輝度推定に利用する設計思想により，夜間環境を含む車載撮像への有効性を示した結果といえる。

さらに，車載LiDAR向けdToF測距技術として，Yuiら（SSS）は，積層BSI型SPADセンサを報告した<sup>59)</sup>。本センサは，マルチフェーズクロックを用いた等価時間サンプリング（Equivalent Time Sampling: ETS）により，500 MHz動作ながら3 GHz相当の時間刻みでヒストグラムサンプリングを行い，距離精度を向上させている。加えてオンチップでのエコー抽出処理によりヒストグラムデータ量を大幅に削減しつつ，25 M points/sの点群出力と250 m級の長距離測距を達成した。高密度点群取得と実装可能な処理量を両立するアーキテクチャを示しており，SPAD型LiDARの実用化に向けた重要な進展と位置付けられる。

これまでのSPADに関する研究報告を概観すると，想定されるセンサ用途に応じて重視される性能指標が大きく異なることが改めて明確となった。測距用途，特に長距離検出を目的としたLiDAR応用においては，近赤外波長域でのPDEとタイミングジッタが主要な性能指標となる。このため，光学構造や電界分布の工夫によりPDEの向上を図った研究<sup>60)~62)</sup>や，画素内のポテンシャル分布を最適化することでタイミングジッタの低減を実現した研究<sup>53) 63)</sup>が数多く報告されている。これらの研究は，感度と時間分解能の両立を通じた測距精度の向上を志向したものと位置付けられる。一方，低照度イメージング用途では，暗時ノイズが画質に直接影響するため，DCRの低減が最も重要な課題の一つである。これに対し，アバランシェ増倍領域に新たな構造を導入することで，DCRを抑制した研究が従来より報告されている<sup>64) 65)</sup>。さらに，多画素化・大規模アレイ化を前提としたイメージセンサでは，画素数の増加に伴う消費電力の増大が問題となることから，画素回路構成やカウント方式の工夫により低消費電力化を達成した研究も提案されている<sup>66)~68)</sup>。これらの特性は相互にトレードオフの関係にある場合が多く，すべての性能指標を一様に最大化するのではなく，センサの用途に応じて支配的となる特性を優先する設計選択が行われてきた。すなわち，用途に適した性能バランスを実現する方向で，画素構造および動作条件の最適化が進められている。

このように用途に応じて優先される性能が明確となる一方，SPADでは単一階層での特性最適化のみでは要求性能を満たすことが難しく，それを成立させることを目的として，画素構造，回路動作，および信号処理を組み合わせた設計が進められている。従来はDCRやPDEといったデバイス特性の改善を中心とした検討が多く行われてきたが，近年は実用的なセンシング応用を見据え，BSI化や3次元積層技術の成熟を背景として，時間分解能，消費電力，高光量耐性など複数の性能指標を同時に成立させることを目的とした設計が行われている。具体的には，画素に起因する課題を回路や信号処理で補償したり，回路上の制約をデバイス構造の工夫によって緩和したりするなど，階層間で

相互に補完しながらトレードオフを改善する試みがみられる。このようなアプローチにより、個別特性の向上にとどまらず、想定する用途に応じたセンサ全体としての性能成立が図られている点が特徴的である。

さらに、画素回路および信号処理の進展により、SPADは単一光子検出素子としての側面に加え、時間情報を積極的に利用するセンシングデバイスへと発展しつつある。空間・時間相関を利用したゲーティングや重み付け光子カウント方式、光子到来時刻のヒストグラムから到達時刻を推定する等価時間サンプリング方式に見られるように、光子到来時刻を信号処理に取り込むことで、背景光耐性の向上、HDR撮像、距離計測精度の向上が実現されている。これは電荷量を積分して読み出す従来型のCISとは異なり、取得する情報の種類そのものを拡張するセンシング手法が実用段階に入りつつあることを示している。

## 6. むすび

本稿では、画像情報のセンシング分野における最近の研究開発動向について概観した。回路・信号処理技術の高度化により、センサ内処理や画素近傍でのA/D変換など読み出し系の機能拡張が進展するとともに、画素構造や光学設計、材料技術の導入によって受光機構そのものの高度化も進められている。さらに、距離情報を取得するiToFセンサや単一光子検出に基づくSPADセンサに代表されるように、イメージセンサは、2次元画像取得を主目的としたデバイスから、空間・時間情報を含む多様な情報を取得するセンシングデバイスへと発展しつつある。

このような動向の背景には、デバイス、回路、信号処理、さらには応用システムを含めた複数の階層における技術が相互に補完しながら性能向上を図る設計が広がっていることが挙げられる。特定の性能指標のみを追求するのではなく、用途に応じて必要な機能や情報を取得することを重視した研究が増加しており、イメージセンサの役割は撮像素子の枠を越えて拡張している。

今後は、3次元積層技術や計算処理のさらなる発展とともに、撮像・計測・認識を一体化したセンシングシステムの実現に向けた検討が進むと考えられる。これらの技術の進展により、イメージセンサの応用領域は引き続き拡大していくものと期待される。

(2026年2月20日受付)

## 〔文 献〕

- 1) <https://www.sony.com/ja/SonyInfo/News/Press/202005/20-037/>
- 2) R. Eki, et al., IEDM, 7-3 (2023)
- 3) R. Nakamura, et al., IEDM, 41-1 (2024)
- 4) S. Okura et al., IISW, P41 (2025)
- 5) M. Sato, et al., VLSI, C6-2 (2025)
- 6) T. Hirata, et al., ISSCC, 7-8 (2021)
- 7) <https://www.nhk.or.jp/str1/news/2025/2.html>
- 8) K. Tomioka, et al., IISW, R10-2 (2025)
- 9) A. Berkovich, et al., IEDM, 40-4 (2023)
- 10) H. Sugo, et al., VLSI, C21-2 (2016)

- 11) T. Kainuma, et al., ISSCC, 6-5 (2025)
- 12) T.-H. Tsai, et al., ISSCC, 6-4 (2025)
- 13) M.-W. Seo, et al., VLSI, C6-1 (2025)
- 14) M.-S. Keel, et al., VLSI, C6-4 (2025)
- 15) S.-S. Kim, et al., IEDM, 37-5 (2022)
- 16) M. Kobayashi, et al., ISSCC, 4-5 (2017)
- 17) Y. Kumagai, et al., IEDM, 10-6 (2018)
- 18) J.-K. Lee, et al., ISSCC, 5-5 (2020)
- 19) S. Fukuoka, et al., Electronic Imaging, 182-1-182-5 (2023)
- 20) G. Park, et al., IEDM, 16-4 (2019)
- 21) Z. Gao, et al., IEDM, 40-2 (2023)
- 22) P. Malinge, et al., IEDM, 40-3 (2023)
- 23) T.-M. Kim, et al., IEDM, 41-3 (2024)
- 24) H. Shim, et al., ISSCC, 6-1 (2025)
- 25) P. Coudrain, et al., IEDM, pp.271-274 (2008)
- 26) K. Nakazawa, et al., IEDM, 30-4 (2021)
- 27) K. Zaitzu, et al., VLSI, T1-3 (2022)
- 28) M. Sugimoto, et al., IISW, R1-2 (2023)
- 29) Y. Kikuchi, et al., VLSI, T7-4 (2023)
- 30) T. Mota\_Frutuoso, et al., IEDM, 29-3 (2023)
- 31) G.-D.R. Lee, et al., IEDM, 40-1 (2023)
- 32) Y. Satake, et al., IEDM, 41-2 (2024)
- 33) S. Zhan, K. Kaneko, et al., VLSI, T5-1 (2025)
- 34) J. Go, et al., IEDM, 42-8 (2025)
- 35) T.-J. Wang, et al., IEDM, 42-7 (2025)
- 36) J. Ogi, et al., IEDM, 8-2 (2024)
- 37) T. Koyanagi, et al., Image Sensors Europe (2025)
- 38) Sergey Tsarev, et al., Nature 642, 592-598 (2025)
- 39) T. Shan, J. Li, et al., IEDM, 40-6 (2023)
- 40) O. Enoki, et al., IEDM, 41-7 (2024)
- 41) W. Song, et al., IEDM, 41-8 (2024)
- 42) Y. Huo, et al., Opt. Express 18, 5861-5872 (2010)
- 43) S. Kang, et al., IEDM, 8-1 (2023)
- 44) C.-Y. Wang, et al., IEDM, 8-2 (2023)
- 45) C. Choi, et al., IEDM, 8-3 (2023)
- 46) J. Hong, et al., VLSI, T5-2 (2025)
- 47) <https://semiconductor.samsung.com/jp/news-events/tech-blog/nanoprism-optical-innovation-in-the-era-of-pixel-miniaturization/>
- 48) D. Shirahige, et al., IEDM, 40-5 (2023)
- 49) D. Kim, et al., ISSCC, 6-10 (2024)
- 50) S. Lee, et al., VLSI, T5-5 (2025)
- 51) K. Kagawa, et al., IEDM, 41-5 (2024)
- 52) T. Ohkubo, et al., IEDM, 41-6 (2024)
- 53) E. Park, M.-J. Lee, et al., IEDM, 20-2 (2023)
- 54) E. Park, et al., VLSI, T5-4 (2025)
- 55) J.-H. Kim, et al., VLSI, T5-3 (2025)
- 56) S. Shimada, et al., VLSI, T1-2 (2025)
- 57) K. Morimoto, et al., VLSI, 6-1 (2024)
- 58) Y. Ota, et al., VLSI, C27-1 (2025)
- 59) T. Yui, et al., VLSI, C27-2 (2025)
- 60) S. Shimada, et al., IEDM, 37-3 (2022)
- 61) Y. Fujisaki, et al., VLSI, JFS2-2 (2023)
- 62) S. Yoshida, et al., IEDM, 8-1 (2025)
- 63) S. Shimada, et al., IEDM, 20-1 (2021)
- 64) K. Morimoto, et al., IEDM, 20-2 (2021)
- 65) M. Shinohara, et al., IEDM, 8-2 (2025)
- 66) Y. Ota, et al., ISSCC, 5-1 (2022)
- 67) J. Ogi, et al., IISW, R8-1 (2023)
- 68) T. Takatsuka, et al., VLSI, C15-2 (2023)



白髭 大貴 2019年、奈良先端科学技術大学院大学物質創成科学研究科修士課程修了。同年、キヤノン(株)入社。以来、CMOSイメージセンサおよびSPADセンサの研究開発に従事。2024年より、東北大学大学院工学研究科電子工学専攻博士課程に在籍中。正会員。