

知っておきたいキーワード

Cell

高橋 裕樹†

†電気通信大学 電気通信学部 人間コミュニケーション学科

"Cell" by Hiroki Takahashi (Department of Human Communication, the University of Electro-Communications, Tokyo)

キーワード：CBE (Cell Broadband Engine), ヘテロジニアスマルチコアプロセッサ, SPE (Synergistic Processor Element)

Cellとは

ブロードバンド時代における、携帯端末のプラットフォームから分散コンピューティングまで適用可能な、アーキテクチャの開発を目的として、2001年3月にアメリカテキサス州オースティンで、ソニー・コンピュータエンタテインメント、ソニー、IBM、東芝によって、Cellプロセッサの共同開発が開始されました。Cellは、正式名称をCBE (Cell Broadband Engine) と言い、一般家庭で用いられる機器に搭載することを想定して設計され、高性能 (Performance)、低消費電力 (Power)、低価格 (Price) の“3つのP”と呼ばれる要件を満たすことを目指しました。

CBEは、図1のように、1個の64ビット汎用RISC (Reduced Instruction Set Computer) プロセッサのPPE (PowerPC Processor Element) と、複数個の信号処理専用プロセッサSPE (Synergistic Processor Element) を用いた、ヘテロジニアスマルチコアプロセッサ構成となっています。各SPEは、128ビット×128本の大規模レジスタファイルと、ローカルストレージ

と呼ばれる高速メモリーを搭載し、汎用的な処理から、大量のデータ処理までを可能にしました。OS (Operating System) などの制御系の処理には汎用プロセッサPPEを利用し、大量のマルチメディアデータの処理、グラフィックス処理、ネットワーク処理などの、本質的に並列性を有する処理にはSPEを用いることで、大幅な性能向上が実現可能になります。既存の汎用プロセッサPPEを採用しているため、現在利用されているOSや、開発環境をはじめとする多くのソフトウェア資産の再利用が可能です。大量のデータ処理を

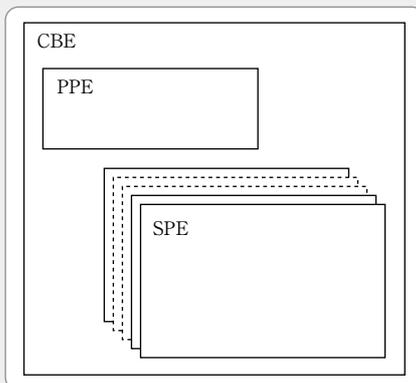


図1 CBE

必要とする部分だけをSPEで処理するように、アプリケーションの一部を移植するだけで効率的に性能向上を図ることができるため、ソフトウェア開発費用の削減と開発スケジュールの短縮が実現可能です。また、図2のように、従来、画像処理など専用LSI (Large Scale Integration) の開発が必要であった用途や、汎用用途に設計されていても特殊なプログラミングを必要とするDSP (Digital Signal Processor) を用いる用途にも、SPEはCやC++などの標準高級言語を用いたプログラミングで対応可能であるという柔軟性を持っています。

CBEアーキテクチャは、高い数値演算性能、高いメディア処理性能、広いバンド幅、高いリアルタイム性やセキュリティ機能に加え、柔軟性とスケラビリティを実現しています。

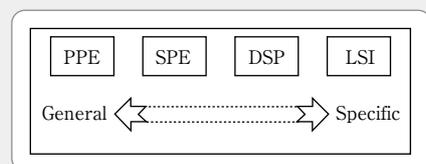


図2 SPEの柔軟性

シングルコアプロセッサからマルチコアプロセッサへ

Cellの開発が始まった2001年当初は、シングルコアプロセッサを高速クロックで動作させるアーキテクチャが主流で、2010年頃までは、シングルコアプロセッサを用いたシステムが最適である、という考えが支配的でした。しかし、2002年頃から、シングルコアプロセッサのクロック周波数を高くすることで、高速化を目指すアーキテクチャに限界が見え始め、Intel Corporationも、2004年5月にマルチコアプロセッサに開発方針を転換しました。

シングルコアプロセッサの性能を向上させるためには、クロックサイクル当たりの同時に処理する命令数を増やす方法と、動作クロック周波数を高くする方法があります。前者では、命令レベルの並列性を高めるために、

Out-of-order実行などの高速化が施されていますが、単一プログラムが持つ並列度の限界にほぼ達していることや、チップ面積と消費電力が増大するという問題があります。また、後者では、消費電力の増大による高価なパッケージと冷却装置が必要になりますので、大量生産されるコンシューマ製品での利用を目的とした場合、シングルコアプロセッサには課題が残ります。

これらの問題を解決するために、一つのプロセッサに複数のコアを搭載することで、独立に動作する演算器を複数持ち、同時並列に複数の命令列を実行することが可能なマルチコアプロセッサによる、処理性能の向上が目指されるようになってきました。マルチコアプロセッサは2種類に大別できます。一つは、同じコアを複数搭載するホモジニアスマルチコアプロセッサで、もう一方は、異なる種類のコアを一つのプロセッサに搭載するヘテロジ

ニアスマルチコアプロセッサです。IntelのXeonやAMDのAthlonなどは、ホモジニアスマルチコアプロセッサで、特にコアが2個搭載されているものをデュアルコア、4個搭載されているものをクアッドコアと呼ぶことがあります。このようなホモジニアスマルチコアプロセッサでは、同じ性能、性質、命令体系を持つ複数のプロセッサを使いますので、すべてのコアで同じプログラムを動作させることができます。一方、Cellは、1個のPPEと複数個のSPEを搭載するヘテロジニアスマルチコアプロセッサで、異なる種類のコアを搭載していますので、各コアで同じプログラムを動作させるのではなく、各コアの得意とする処理をそれぞれ実行します。PPEではOSを動作させ、SPEでマルチメディア処理を高速に処理するように設計されています。

CBEアーキテクチャの特徴

CBEA (Cell Broadband Engine Architecture) は、高解像度の動画や、リアルタイムのグラフィックス処理が必要なコンテンツなどの大量のマルチメディアデータを、リアルタイムで処理するために設計されました。

従来のプロセッサは、高い汎用性を持ち合わせていますが、大量のマルチメディアデータのリアルタイム処理には不向きでした。一方、DSPは、用途を限定することによって、少トランジスタ、低周波数、少電力で効率的に特定の処理を行うことができます。このような汎用プロセッサとDSPの両方の特長を活かし、1999年にソニー・コンピュータエンタテインメントが発表したPlayStation2では、汎用プロセッサコアに2個のDSPを搭載したEE (Emotion Engine) を採用しました。

CBEでは、DSPの特長を保持しながら、柔軟な制御が可能なSPEという新しいアーキテクチャを定義して実装し

ました。SPEは、高速なマルチメディア処理と、SPEを増やすことによる台数効果が期待できるとともに、柔軟な制御が可能なように設計されています。SPEは、専用のローカルストレージエリアを持つことによって、他のSPEと独立に処理を行うことができ、また、複数のCBEが協調して処理が行えることも想定した、規格化された拡張性の高いアーキテクチャとなっています。

SPEは、図3に示すように、マルチメディア演算に特化したSIMD (Single Instruction Multiple Data) 型演算ユニットのSPU (Synergistic Processor Unit) とローカルストレージエリア、SPUのローカルストレージと他のメモリー間とのデータ転送を行うMFC (Memory Flow Controller) から構成されています。

SPUは、マルチメディア演算能力向上のために、高性能な浮動小数点演算ユニットをもっています。各パイプラインで処理されるデータ幅が128ビット

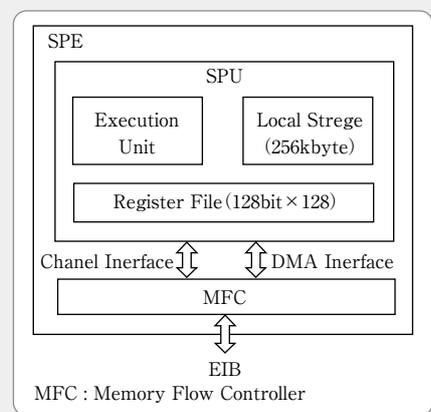


図3 SPEの構成

トとなっており、マルチメディア処理でよく利用される、32ビット単精度浮動小数点データでは、単位時間当たり4つの積和演算が並列に処理できます。1つの積和演算で乗算と加算の浮動小数点演算を行っているので、2FLOPS (Floating point number Operations Per Second) となり、4GHz動作のSPUを仮定すると、ピーク性能は、図4

4GHz×4データ×2FLOPS=32GFLOPSになります。8個のSPEを搭載したCellでは、256GFLOPSのピーク性能になります。またSPUは、動作周波数が高いので、単位時間当たりに処理可能な命令数は多くなりますが、データが転送されるまでの遅延時間が大きくなり、逐次的なデータ処理は時間がかかってしまいます。そこで、128ビットデータ幅の非常に高速なメモリであるレジスタファイルを128エントリ用意し、マルチメディア処理の並列性を活かしたレジスタファイルによるループ処理を行うことで高速な処理を実現しています。

SPUは、内部メモリとして256KBのローカルストレージを持っており、SPUプログラムとデータが置かれます。ローカルストレージにはキャッシュミスがなく、データが転送されるまでの遅延時間が一定であるため、SPUにおけるデータ処理時間が正確に予測できます。また、SPUか

ら外部メモリへのアクセスは、MFCを用いてSPUの命令実行とは独立に、SPUのローカルストレージと外部メモリ間のデータ転送を行うDMA (Direct Memory Access) 転送で行われます。MFCには、SPUからのDMAリクエストを保持するための16本のDMAキューが用意されており、16個までの同時DMA転送が可能になっています。さらに、図4に示すように、PPEやSPEが持つ高い処理能力によって生じる大量のデータ転送を可能とするために、小さな面積で実装可能な拡張性の高い内部バスEIB (Element Interconnect Bus) を定義しました。EIBでは、データ転送にかかる時間よりも、単位時間内のデータ転送量を重視し、拡張性の高いリング型バスを採用しています。また、バスに接続されたマスタ群をグループに分け、優先度の高いグループのプロセスに必要なバンド幅を割り当てるリソースアロケーションと呼ばれるバンド幅保

証機構を導入しているため、DMA転送バンド幅も保証され、リアルタイムの動画処理に適したアーキテクチャとなっています。(2007年11月8日受付)

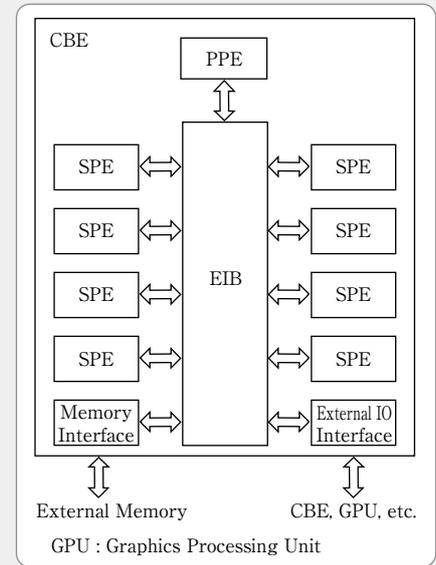


図4 CBEの構成

参 考 文 献

- 1) 林宏雄, 斎藤光男, 増淵美生: "Cell Broadband Engineの設計思想", 東芝レビュー, 61, 6, p.2, pp.2-8 (2006)
- 2) 黒澤泰彦, 渡辺幸男, 田胡治之: "次世代プロセッサCell BroadbandEngine", 東芝レビュー, 61, 6, p.2, pp.9-15 (2006)



高橋 裕樹 1990年, 東京工業大学工学部制御工学科卒業。1992年, 同大学院博士前期課程(物理情報工学専攻)修了。1994年, 同大学院博士後期課程中退。1994年, 同工学部情報工学科助手。同大学院情報理工学研究科助手を経て, 現在, 電気通信大学電気通信学部人間コミュニケーション学科准教授。画像処理, パターン認識, CGなどの研究に従事。博士(工学)。

キーワード募集中

この企画で解説して欲しいキーワードを会員の皆様から募集します。ホームページ (<http://www.ite.or.jp>) の会員の声より入力可能です。また電子メール (ite@ite.or.jp), FAX (03-3432-4675) 等でも受け付けますので, 是非, 編集部までお寄せください。(編集委員会)