

知っておきたいキーワード

More than Moore

小林正治[†]

[†] 東京大学 生産技術研究所

"More than Moore" by Masaharu Kobayashi (Institute of Industrial Science, the University of Tokyo, Tokyo)

キーワード： Mooreの法則，スケールリング則，More than Moore，Beyond CMOS

まえがき

全世界で30兆円規模、日本では3兆円規模の半導体産業は、現在も着実に成長しています¹⁾。この市場成長の

駆動力の源泉になっているのが Mooreの法則です。近年ではこの Mooreの法則に加えて、More than Mooreと呼ばれる新しい方向性が掲げられ、半導体研究開発をガイドして

います。本稿では Mooreの法則を復習し、新しい半導体研究開発の方向性としての More than Mooreを説明し、その具体例を紹介します。

これまでの指導原理： Mooreの法則

More than Mooreを知る前に知っておかなければならないのが、Mooreの法則です。この法則は、半導体メーカー最大手 Intelの創業者の一人である Gordon Mooreが1965年に提唱した経済原理です。半導体デバイスを微細化することでシリコンチップ上の単位面積当たりのトランジスタ数が増え、トランジスタ当たり、あるいは一つのデジタル回路当たりのコストが削減できるというものです。事実、1970年以降、2年間でチップ当たりのトランジスタ数はおよそ2倍に増加するというペースが保たれてきました²⁾ (図1)。

経済原理とは別に、好都合なことに微細化によってトランジスタの性能も向上することが Dennardの法則によ

り理論的に裏付けられています³⁾。したがって、微細化による性能向上・コスト削減により市場が成長し、半導体

産業への投資が起こり、さらなる微細化が行われるというサイクルが形成され、半導体産業は発展してきました。

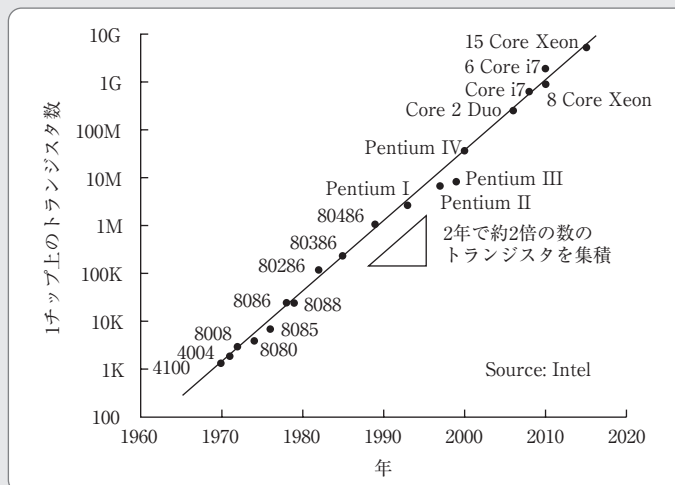


図1 一チップ上のトランジスタ数の変遷²⁾

**新しい半導体研究開発の方向性：
More than Moore**

Mooreの法則に牽引されてきた半導体産業でしたが、微細化が進むにつれて半導体プロセス技術の全体のコストは増大する傾向にあります。そのため市場で価値の高い製品を有する企業とそうでない企業とで選択と集中が2000年に入り急速に進み、単純に微細化を追求して恩恵を得る半導体メーカーの数は減少してきています。そこで近年、半導体研究開発の新たな方向性・指針が半導体技術ロードマップ委員会⁴⁾で打ち出されています。大きく三つの方向性からなり、それらは、① More Moore, ② More than Moore, ③ Beyond CMOS, と呼ばれ、More than Mooreはその中の一つと位置付けられています(図2)。

まずMore Mooreとは、これまでのMooreの法則を推し進め、デジタル回路の高集積化・高性能化を図る技術開発の方向性を指し、ハイエンドサーバやPC、携帯端末などの高性能化のために今後もこの方向性での研究開発が必要であることは変わりません。それに対してMore than Mooreとは、高集積デジタル回路をベースとして、Mooreの法則にもとづく微細化とは異なる方法によって、価値の高い集積システムチップを開発する方

向性を指します。これまでPCボード上に外付けされていた機能デバイスをデジタル集積回路と一緒にパッケージングする技術(System-in-Package: SiP),あるいはシリコンチップ上に直接集積する技術(System-on-Chip: SoC)などによって実現されると考えられています。集積する機能デバイスとしては、RF通信回路、パワー制御回路、受動素子、MEMSセンサ・アクチュエータ等が挙げられ、これらをデジタル回路とともに集積化することで、「1+1>2」となる新しい価値を提供します。汎用CPUの高集積

化・高性能化に注力するMore Mooreとは異なり、More than Mooreはアプリケーションとの連携性が強く、情報通信、自動車、環境制御、ヘルスケア、安全・安心、エンタテインメントといった分野ごとの価値創造に貢献し、多様性を求める方向性といえます。ちなみに三つ目の方向性であるBeyond CMOSとは、通常の集積回路がCMOSトランジスタをスイッチング素子として構成されるのに対して、まったく異なる動作原理をもつ素子を用いて計算処理を行う可能性を探る、という方向性です。

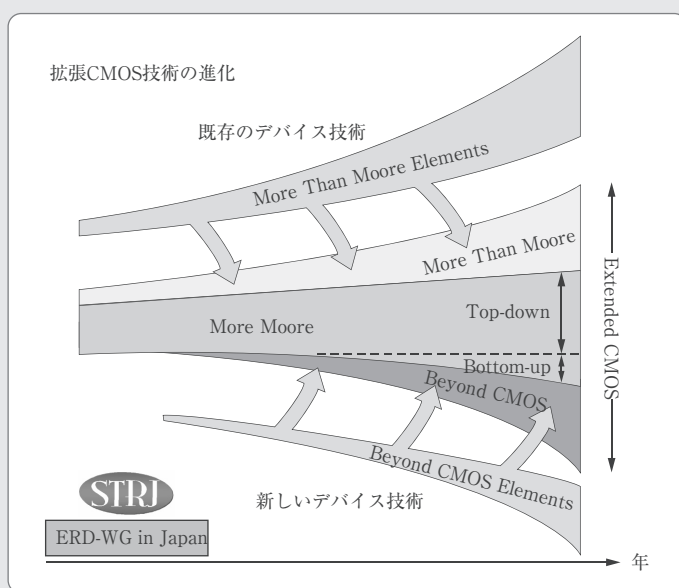


図2 半導体研究開発の新しい方向性⁴⁾

More than Mooreの具体例

More than Mooreは多様性を求める方向性です、と述べたように非常にさまざまな技術があります。その中でも代表的な具体例を見ていきましょう。

一つ目はCPU (Central Processing Unit) とGPU (Graphics Processing Unit) を一つの集積チップに集積化するヘテロジーニアスインテグレーション技術です(図3)。米国のAMD社等が積極的に技術開発を行っています⁵⁾。GPUとは画像や映像といった情報を高速に処理することに特化した超並列処理ユニットです。従来CPUとGPUは別チップでボード上にマウントされ

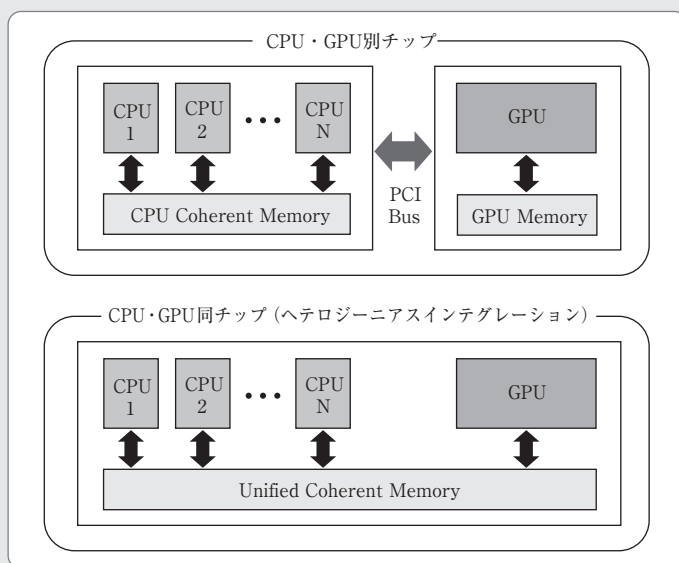


図3 CPUとGPUの構成(文献5)にもとづき作成)

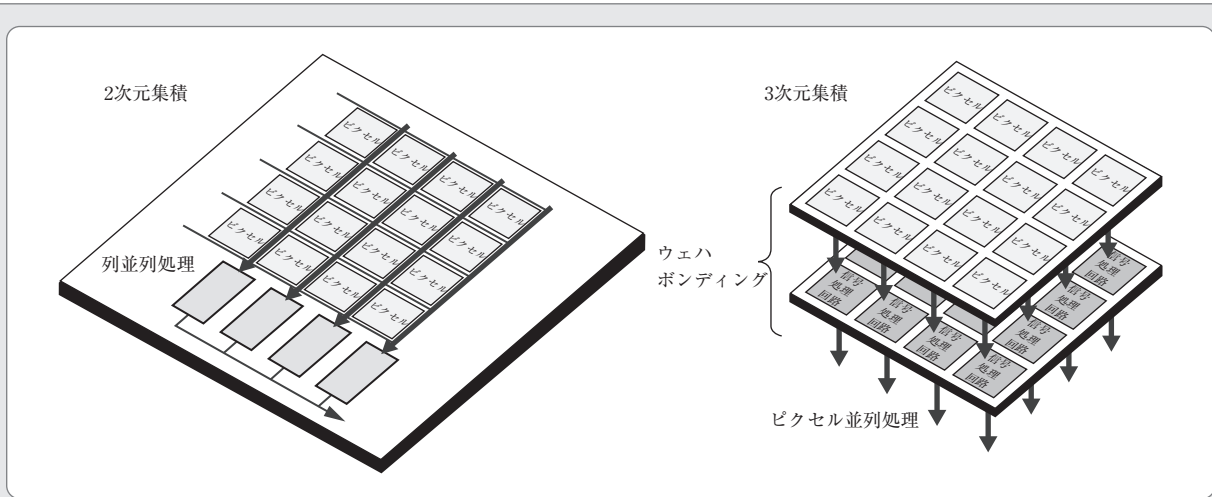


図4 CMOSイメージセンサの構成(文献6)にもとづき作成

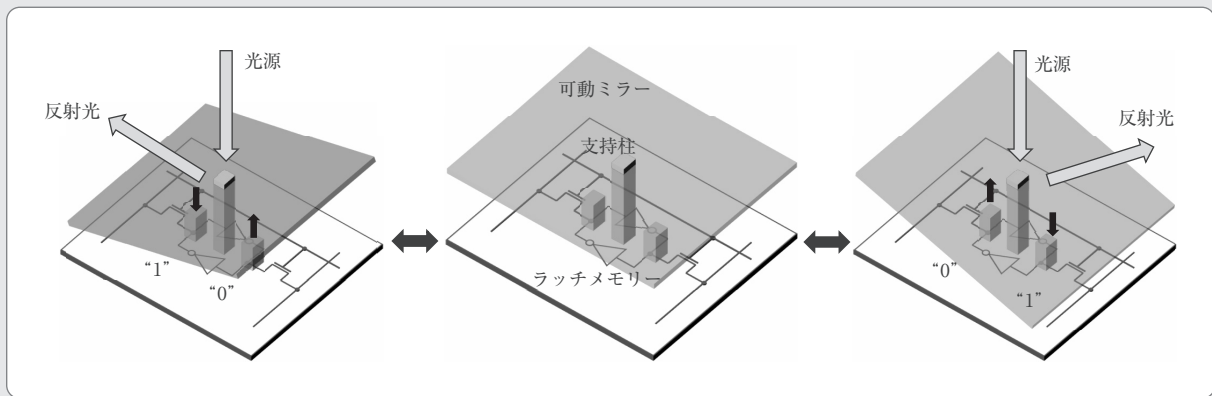


図5 デジタルマイクロミラーデバイスの構成と動作(文献7)にもとづき作成

ていました。そのためCPUとGPUは異なるメモリー空間を有し、異なるデバイスとしてデータをやり取りするため、レイテンシ(データを要求してから応答が返ってくるまでの時間)に課題がありました。CPUとGPUをチップ上に集積することで同じメモリー空間を共有でき、転送速度が向上し、さらにソフトウェアエンジニアは一つのプラットフォームとしてプログラミングできるためシームレスな開発ができる、といったメリットがあります。汎用CPUとは一線を画す高性能化技術として注目されています。

二つ目はセンサの例としてCMOSイメージセンサを紹介します(図4)。日本が世界をリードしているデバイスの一つです。CMOSイメージセンサには光を集光するレンズ、フィルタ、光を検知し電気情報に変換するフォト

ダイオード、電気信号を処理する回路が集積されています。通常CMOSイメージセンサのピクセルと信号処理回路は同一平面状に形成されるため、面積の制約から信号処理回路は共有され、1ビットずつアドレスを切替えながら列ごとに信号を取出しています。もし信号処理回路をピクセルごとに用意できれば、ピクセルの信号を一斉に読出すことができ、スループットを飛躍的に改善することができます。このピクセル並列処理方式を新しい3次元集積技術で実現することを目指しているのがNHKです⁶⁾。Direct bonding技術により、フォトダイオードを形成したチップとリングオシレータ型AD変換回路を形成したチップを接合することでピクセルの真下に回路を形成できるため、ピクセルの並列読出しが可能になります。次世代のCMOSイ

メージセンサ技術として高い関心を集めています。

三つ目はアクチュエータの例としてデジタルマイクロミラーデバイス(DMD)を紹介します(図5)。Texas Instrumentsで発明されたこのデバイスでは、CMOS集積回路、特にSRAMのようなラッチ型メモリー上に、 $10\mu\text{m}^2$ 程度の可動式アルミミラーがMEMS作製技術を駆使して形成されます⁷⁾。デジタル化した映像データをメモリーに入力すると、メモリーノードの静電気力によりミラーが傾き、光源の光を偏向させることができるため、電気入力に対する空間光変調デバイスとして動作します。このデバイスにより非常にコンパクトなプロジェクタが実現できました。

むすび

本稿では新しい半導体研究開発の方向性である More than Moore につい

て解説しました。この方向性で成功を収めるためには、新しいユーザ体験・価値をもたらすアプリケーションをいち早く見出し、そのために必要な技術

を効率的に集積し、市場に製品を最速で提供することが不可欠です。日本の産学の半導体プレーヤの活躍が大いに期待されます。(2015年11月30日受付)

参 考 文 献

- 1) 世界半導体市場統計 (WSTS) 2015 年度市場予測, <http://semicon.jeita.or.jp/statistics/wsts.html>
- 2) Intel corporation, <http://www.intel.com/content/www/us/en/history/history-intel-chips-timeline-poster.html>
- 3) R. H. Dennard, V.L. Rideout, E. Bassous and A.R. LeBlanc: "Design of ion-implanted MOSFET's with very small physical dimensions", IEEE Journal of Solid-State Circuits, 9, 5, pp.256-268 (1974)
- 4) JEITA 半導体技術ロードマップ専門委員会, <http://semicon.jeita.or.jp/STRJ/STRJ/2009/>
- 5) L.T. Su: "Architecting the future through heterogeneous computing", 2013 IEEE International Solid-State Circuits Conference, Technical Digest, pp.8-11 (2013)
- 6) M. Goto, K. Hagiwara, Y. Iguchi, H. Ohtake, T. Saraya, M. Kobayashi, E. Higurashi, H. Toshiyoshi and T. Hiramoto: "Three-Dimensional Integrated CMOS Image Sensors with Pixel-Parallel A/D Converters Fabricated by Direct Bonding of SOI Layers", 2014 IEEE International Electron Device Meeting, Technical Digest, pp.84-87 (2014)
- 7) L.J. Hornbeck: "Combining Digital Optical MEMS, CMOS and Algorithms for Unique Display Solutions", 2007 IEEE International Electron Device Meeting, Technical Digest, pp.17-24 (2007)



こばやし まさはる
小林 正治 米国スタンフォード大学電子工学専攻博士課程修了。IBMワトソン研究所勤務を経て、現在、東京大学生産技術研究所准教授。半導体デバイス技術、およびシリコンプラットフォーム上のナノエレクトロニクスの集積技術に関する研究に従事。Ph.D (工学)。

キーワード募集中

この企画で解説して欲しいキーワードを会員の皆様から募集します。ホームページ (<http://www.ite.or.jp>) の会員の声より入力可能です。また電子メール (ite@ite.or.jp), FAX (03-3432-4675) 等でも受け付けますので、是非、編集部までお寄せください。(編集委員会)